

DESIGNING METHOD FOR CIRCUIT AND CIRCUIT DESIGN SUPPORT SYSTEM

Patent Number: JP2001022799
Publication date: 2001-01-26
Inventor(s): INABA HISATO; ARAI KAORI; SUGIMOTO HIROAKI; HINO TETSURO; FUKUDA MASANORI
Applicant(s): HITACHI LTD;; HITACHI TOBU SEMICONDUCTOR LTD
Requested Patent:  JP2001022799
Application Number: JP19990191646 19990706
Priority Number (s):
IPC Classification: G06F17/50; H01L21/82
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To shorten a time for developing a circuit by evaluating whether a chip size exceeds a target size or not by calculating a circuit area by an area calculating formula for respective elements and element symbols composing the circuit at the time of layout.

SOLUTION: The circuit design is performed on a computer 130 while utilizing a circuit diagram editor 210. The editor 210 has an area calculation program 230 and the arrangement or connection of respective elements is successively performed while using element symbols 310 to be the base of area calculation, parameters 320 of respective elements, element count 330 corresponding to the kinds of elements and an area calculating formula 340 by elements for calculating the area at the time of layout from an external dimension for each element or the like. When the command of calculation comes to the editor 210 in the middle of calculation, the area is calculated while using a prescribed calculating formula and the result is displayed on a display 110. When the circuit diagram is completely inputted, the area of the entire circuit is calculated, it is discriminated whether the area is smaller than the preset target area or not and the correction of the circuit or correction of the parameters 320 of elements is performed as needed.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-22799
(P2001-22799A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) IntCl.

識別記号

F I

テ-リ-ト (参考)

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 X 5 B 0 4 6

H 0 1 L 21/82

6 5 8 A 5 F 0 6 4

H 0 1 L 21/82

C

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号

特願平11-191646

(22) 出願日

平成11年7月6日 (1999.7.6)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町1番地1

(72) 発明者 稲葉 久人

埼玉県入間郡毛呂山町大字旭台15番地 日

立東部セミコンダクタ株式会社内

(74) 代理人 100085811

弁理士 大日方 富雄

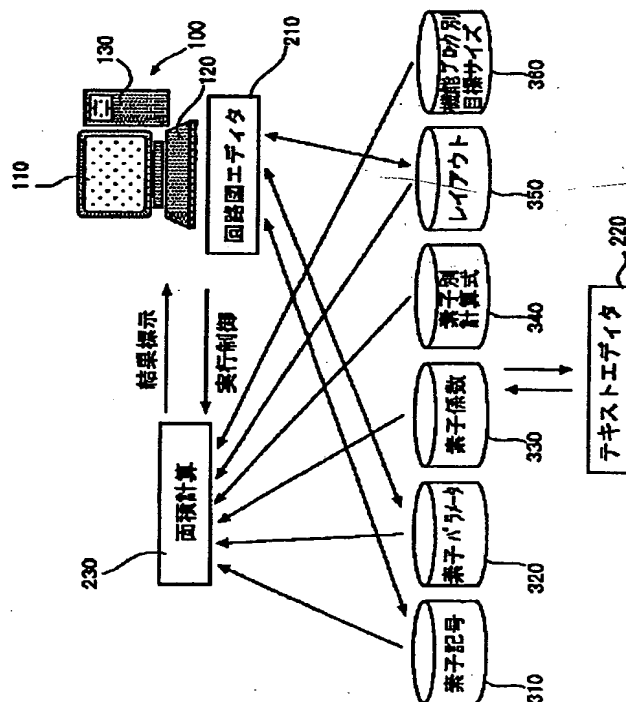
最終頁に続く

(54) 【発明の名称】 回路の設計方法および回路設計支援システム

(57) 【要約】

【課題】 先ずチップサイズを決定し、その後で回路設計を行ないレイアウト工程の段階で面積の見積もりを行なう従来の手法においては、設計者が過去の経験に基づいてチップサイズを決定していたため、設計終了後のチップサイズが目標のサイズからずれることがあり、特に目標サイズをオーバーした場合には回路設計を最初からやり直さなくてはならず、開発期間が大幅に長くなってしまうことがあるという課題があった。

【解決手段】 少なくとも回路を構成する素子毎の外形寸法と該外形寸法からレイアウト時の面積を見積もる素子別面積計算式および回路を構成する素子として入力された素子記号から回路の面積を計算するプログラムを用意しておいて、回路設計中いつでも回路の占有面積を計算できるようにした。



【特許請求の範囲】

【請求項1】 回路を構成する素子毎の外形寸法と該外形寸法からレイアウト時の面積を算出する素子別面積計算式を記憶手段に記憶しておいて、回路を構成する素子として入力された素子記号に基づいて対応する外形寸法および計算式を上記記憶手段から読み出して回路の面積を計算することを特徴とする回路の設計方法。

【請求項2】 上記計算式の基礎データとして、素子分離領域を考慮した面積を与える素子係数および配線面積を考慮した面積を与える係数を上記記憶手段に記憶しておくようにしたことを特徴とする請求項1に記載の回路の設計方法。

【請求項3】 上記計算式の基礎データとして、各素子の特性を決定するパラメータのうち寸法に関連するものを上記記憶手段に記憶しておくようにしたことを特徴とする請求項1または2に記載の回路の設計方法。

【請求項4】 設計対象の回路を複数のサブブロックに分割し、上記計算式に従って得られた面積データを、表示画面に階層的に表示するようにしたことを特徴とする請求項1、2または3に記載の回路の設計方法。

【請求項5】 上記計算式に従って得られた面積データと目標面積とを随時比較して、目標面積をオーバーしたときに表示画面に警告表示を行なうようにしたことを特徴とする請求項1、2、3または4に記載の回路の設計方法。

【請求項6】 回路を構成する素子毎の外形寸法と該外形寸法からレイアウト時の面積を算出するための素子別面積計算式とを記憶する記憶手段と、回路を構成する素子を入力するための入力手段と、入力された素子に対応した外形寸法および計算式を上記記憶手段から読み出して回路の面積を計算する面積計算手段とを備えてなることを特徴とする回路設計支援システム。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路の設計技術さらには回路面積の見積もり方法に関し、例えば半導体集積回路の設計完了前の半導体チップサイズの評価に利用して有効な技術に関する。

【0002】

【従来の技術】 従来、半導体集積回路の設計に際しては、設計しようとする半導体集積回路の機能や仕様、予定価格等に基づいてあるいはユーザーから要求に従って最初に半導体チップのサイズすなわち面積を決定してから回路設計を行ない、その後に回路が目標面積内にすべて収まるか否か判定していた。また、回路面積の見積もりは回路設計終了後のレイアウト設計工程で、レイアウトエディタ等のプログラムにより行なっていた。

【0003】

【発明が解決しようとする課題】 上記のように、先ずチップサイズを決定し、その後で回路設計を行ないレイア

ウト工程の段階で面積の見積もりを行なう従来の手法においては、設計者が過去の経験に基づいてチップサイズを決定していた。そのため、設計終了後のチップサイズが目標のサイズからずれることがあり、特に目標サイズをオーバーした場合には回路設計を最初からやり直すなくてはならず、開発期間が大幅に長くなってしまうことがあるという問題点があった。

【0004】 さらに、チップサイズを変更することができない半導体集積回路の開発においては、再々設計が必要になったり、どうしても所望の性能を有する回路を目標サイズ内に収めることができない場合には開発を断念しなければならないこともあり、設計労力の無駄を生じさせてしまうこともあった。

【0005】 この発明の目的は、回路設計において、設計終了前に予め回路面積を計算しチップサイズが目標サイズをオーバーしないか評価することができ、それによって半導体集積回路の開発期間を短縮することができる技術を提供することにある。

【0006】 この発明の他の目的は、回路設計において、回路変更が困難な場合でも比較的容易に回路面積を縮小して回路面積が目標面積に収まるようにすることができる技術を提供することにある。

【0007】 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0009】 すなわち、少なくとも回路を構成する素子毎の外形寸法と該外形寸法からレイアウト時の面積を算出するための素子別面積計算式および回路を構成する素子として入力された素子記号から回路の面積を計算するプログラムを用意しておいて、回路設計中いつでも回路の占有面積を計算できるようにしたものである。

【0010】 具体的には、回路を構成する素子毎の外形寸法と該外形寸法からレイアウト時の面積を算出するための素子別面積計算式とを記憶する記憶手段と、回路を構成する素子を入力するための入力手段と、入力された素子に対応した外形寸法および計算式を上記記憶手段から読み出して回路の面積を計算する面積計算手段とを備えた回路設計支援システムを構成する。

【0011】 上記した手段によれば、回路設計中に面積算出指令が与えられると面積計算プログラムが起動して回路を構成する素子の記号から素子別面積を計算しさらにそれらを合計することで回路の占有面積を計算するので、設計終了前に予め回路面積を計算しチップサイズが目標サイズをオーバーしないか評価することができ、それによって半導体集積回路の開発期間を短縮することができる。しかも、回路の構成（素子間の結合情報）を入

力しなくても予想される数の素子を入力してやればそれだけでおおよその面積を見積もることができるため、回路設計開始前の開発初期段階で所望のチップサイズに収まるか判断することができ、無駄な時間および労力を使わなくて済むようになる。

【0012】上記計算式の基礎データとして、素子毎の外形寸法の他、素子分離領域を考慮した面積を与える素子係数および配線面積を考慮した面積を与える係数を用意しておく。これによって、設計終了前により正確な面積を見積もることができる。

【0013】上記計算式の基礎データとして、各素子の特性を決定するパラメータのうち寸法に関連するものを用意しておく。これにより、例えば仮設計が終了した段階で回路面積が目標面積をオーバーしかつ回路変更も困難な場合に、素子パラメータを変更することで回路面積を縮小して回路面積が目標面積に収まるようにすることができる。

【0014】さらに、設計対象の回路を複数のサブブロックに分割し、上記計算式に従って得られた面積データを、表示画面に階層的に表示するようにする。これによって、限られた表示画面内に全体的な結果を表示させ、しかも必要に応じて詳細も表示させることができるので、設計者による設計中の回路の面積の見積もりとその評価が行ない易くなる。

【0015】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0016】図1に本発明のシステム構成の概要を示す。図において、100はハードウェアすなわちディスプレイ110、キーボード120、CPUや半導体メモリ、ハードディスク等を内蔵した本体130等からなるワークステーション等のコンピュータで、210、220、230はソフトウェアすなわちプログラム、310～360はデータファイルであり、プログラム210～230は本体130内の半導体メモリ等に格納され、データファイルは本体130内のハードディスク等に格納される。

【0017】上記プログラム210～230のうち、210は設計を支援するエディタで、回路の設計の際は回路図エディッタが、また回路設計後のレイアウト設計の際はレイアウトエディッタがそれぞれ起動される。しかも、この実施例では、回路図エディッタとレイアウトエディッタが、並行して起動できるように構成されている。220はテキストエディッタで素子パラメータの設定や素子係数、面積計算式等の入力の際に起動される。230は回路の面積を計算するプログラムで、この実施例では回路設計中にいつでも起動できるように構成されている。

【0018】図1には、この面積計算プログラム230が独立したプログラムのように示されているが、回路図

エディッタやレイアウトエディッタ210の中のサブプログラムとして用意しておくことも可能である。レイアウトエディッタは、入力された回路設計図すなわち素子および素子間の接続情報に基づいて、素子形状を生成して配置するとともに、素子間の配線パターンも自動的に生成する機能を有する。

【0019】データファイル310～360のうち、310は図2(a),(b)に示すようなバイポーラ・トランジスタ n -Bip, p -Bipや、図2(c),(d)に示すような絶縁ゲート型電界効果トランジスタ p -MOS, n -MOS、図2(e)に示すような抵抗 R 、図2(f)に示すような容量 C 等の回路素子を表わす記号が格納されたファイルである。この実施例では、回路設計の際に入力された素子および接続情報もこのファイル310に格納される。

【0020】320はMOSトランジスタのゲート長 L とゲート幅 W との比 L/W や抵抗 R のシート抵抗などの素子パラメータが格納されたファイル、330は素子本来の面積に対する素子分離領域を考慮したときの面積やさらに配線領域まで考慮したときの面積を見積もり可能にする素子係数 s_k 、面積係数 b_k を格納したファイルである。

【0021】また、340は各素子毎の面積計算式を格納したファイル、350はレイアウトエディッタによりレイアウトされた素子および回路のレイアウトデータ（面積データを含む）が格納される。このレイアウトファイル350には、過去に設計されてデータベース等に保存されている例えばフリップフロップ回路やレジスタ、演算器、入出力バッファ回路のような数～数百素子からなる小規模な回路から例えばCPUコアのような数千～数万素子からなる大きな回路を利用することとした場合に、これら設計済みの回路（以下、マクロセルと称する）のレイアウトデータも格納される。360はブロック別の目標面積を格納するファイルである。マクロセルに関しては既にサイズすなわち縦の長さや横の長さ分かっていることが多いので、その場合にはサイズデータ（縦と横の長さ）等も格納しておく。

【0022】この実施例では、上記各ファイル310～360を複数のコンピュータで共有できるようにシステム（ネットワーク）を構成しておくことで、複数の設計者が分担かつ並行して回路設計を進めていく場合に、設計途中で他の設計者の設計した回路の面積を参照することができるようにすることが可能となっている。

【0023】なお、図2において、 n -Bipは npn 型バイポーラ・トランジスタ、 p -Bipは pnp 型バイポーラ・トランジスタ、 p -MOSは p チャネル型MOSFET、 n -MOSは n チャネル型MOSFETである。

【0024】図3には、各素子別のレイアウトパターンと、各素子の面積計算上での外形寸法 dx 、 dy および

面積 S_1 の計算方式と、各素子の分離領域を考慮したときの外形寸法および面積 S_2 の計算方式が模式的に表わされている。Bipはバイポーラ・トランジスタ、MOSはMOSFET、Rは抵抗、CELLはマクロセルである。これらの素子の寸法および計算式と計算式中の係数 $s_{k1} \sim s_{k3}$ 、 b_k は、図1に示されている素子パラメータファイル320や係数ファイル330、計算式ファイル340等に予め格納されている。

【0025】なお、素子係数 $s_{k1} \sim s_{k3}$ は素子の外形寸法から分離領域を考慮した面積 S_1 を与えるための係数、また面積係数 b_k は分離領域を考慮して得られた上記面積 S_1 から配線領域を考慮した面積を得るための係数である。ただし、マクロセルCELLに関しては、それ自身が分離領域および配線領域を含んでいるので、素子係数および面積係数は「1」であるので、計算式の中に係数はない。また、素子係数 s_k や面積係数 b_k は採用するプロセスによって変わることがあり、適用製品（仕様）および使用する素子の種類毎に異なる値に設定される。

【0026】配線領域を含んだ回路ブロック全体の面積 S_3 の計算式は $S_3 = \sum S_2 \times b_k$ であり、各素子の素子分離領域を考慮したときの面積 S_2 の総和に素子係数 b_k を掛けた値として得られる。素子係数 $s_{k1} \sim s_{k3}$ 、 b_k は、経験等に基づいて決定される値で、 $s_{k1} \sim s_{k3}$ はおおよそ1.3～1.5、 b_k はおおよそ1.2～1.8の範囲で設定される。なお、バイポーラ・トランジスタに関しては、素子のベース領域、エミッタ領域、コレクタ引出し領域が拡散層からなる分離領域と一体のものとして扱われることもあるので、分離領域を含んで素子外形寸法とする（ $s_{k2} = 1$ 、 $S_1 = S_2$ ）ようにしてもよい。

【0027】次に、本発明を適用した場合の半導体集積回路の設計手順の概略を図4を用いて説明する。

【0028】ここでは、回路の設計に先立って、回路の仕様（電源電圧、機能および性能、端子の数など基本的な構成）や適用するプロセスは決定されているものとする。かかる前提の下で、まず半導体集積回路全体を複数の機能ブロックに分割する（ステップS1）。そして、分割された各機能ブロック毎に構成素子数を見積もり、それに基づいて各機能ブロックの目標面積を決定する（ステップS2）。このとき各機能ブロックをさらに複数のサブブロックに分割してサブブロック毎に目標面積を決定しても良い。

【0029】分割されたブロックはそれぞれ別々の設計者もしくは設計グループに分配され、並行して回路設計が開始される（ステップS3）。回路設計は、回路用のエディッタを利用してワークステーション等のコンピュータ上で行なわれる。この実施例では、このエディッタに面積計算機能（プログラム）を持たせておくとともに、面積計算の基礎データとなる各素子のパラメータ、

素子の種類に応じた素子係数、素子別計算式等をワークステーションがアクセス可能なハードディスク等のメモリ内にファイルとして格納しておく。

【0030】回路設計は、キーボードやマウス等のポインティングデバイスを用いて回路図の入力すなわち素子が所望の位置に配置され、素子間の接続が設定されることにより順次行なわれ（ステップS4）、この回路設計の進行に伴ってディスプレイ上には回路を構成する素子一つずつ記号の形で表示されて行く。素子の入力は、例えば表示画面上に使用可能な素子の記号を並べた一覧表を表示しておいて、マウスによるドラッグ・アンド・ドロップ方式で所望の位置に配置することで行なうことができる。

【0031】この実施例では、設計の途中でそれまでに入力された回路部分について、いつでも面積を計算できるように構成されており、エディッタは計算の指令があると所定の計算式を使って面積を計算し、それをディスプレイ上に表示する（ステップS5、S6）。

【0032】設計者はその表示面積を見て修正が必要か否か判断し、必要に応じて修正（ステップS7→S8）を行なう。修正がない場合には、回路図の入力が終了すなわち回路の設計が終了したか否かを判定し、未終了なら上記ステップS4へ戻って素子の入力および素子間の接続作業が繰り返される（ステップS9→S4）。回路図の入力が終了したか否かは、例えば設計者が画面上の終了ボタンをクリックすることで認知される。ステップS9で、回路図の入力が終了したと判定すると、回路全体の面積を計算して最初に決定された目標面積よりも小さいか判定される（ステップS10）。ここで、目標面積をオーバーしているときステップS8へ戻って回路の修正や必要なら素子のパラメータ等の修正が行なわれる。このパラメータの修正で回路上の対応する素子のサイズを一度に変更していき回路の面積を小さくすることもできる。

【0033】図5に、上記ステップS5における面積計算の指令の与え方の一例が示されている。表示画面の上端には作業メニュー欄WMLが表示されており、このメニューの中から“SIZE”と付記されたブロックにカーソルを合わせるとプルダウンメニューPDMが表示される。この中から例えば“Block Size”と付記されたブロックにカーソルを合わせてマウスのボタンをクリックすると、ウィンドWNDが開かれる。

【0034】このウィンドWNDには、回路設計中の面積を計算させたいブロックの名称を表示するブロック名称表示欄BNLと、採用するプロセスや素子のパラメータ、素子係数等の設計ルールを表示する設計ルール表示欄DRLと、計算モードを選択するためのモード選択欄MSLとが設けられている。

【0035】ブロック名称表示欄BNLに表示されているブロックが面積計算の対象となるブロックである。設

計ルール表示欄DRLには“OPEN”と付記されたブロックが設けられており、これをクリックすると設計ルールの詳細を表示するウィンドが表示され、設計ルールを変更することができるようにされている。モード選択欄MSLには、“ALL”と“USE Layout”の2つのモードを示す文字列が表示されており、このうち“ALL”をマウスで選択すると入力されている全ての素子に関して、与えられている計算式で面積を計算するモードが指定される。一方、“USE Layout”をマウスで選択すると既にレイアウトが行なわれファイル350に格納されている素子やサブブロックに関する面積のデータを利用して計算するモードが指定される。

【0036】計算モードを選択してから、ウィンドWNDの上部に表示されている“OK”ボタンをクリックすると選択されたモードでの面積計算が実行され、計算結果が表示される。なお、“OK”ボタンの横には“Cancel”と付記されたボタンが表示されており、これをクリックすると計算作業が中止されウィンドWNDが閉じて元の回路設計画面に戻るようになっている。

【0037】図6には、上記“OK”ボタンがクリックされることにより実行された面積計算結果の表示画面の例が示されている。図6において、TLAはトータルの面積を表示する欄、EALはブロックを構成する各素子の面積を表示する欄、SBAは既に設計済みのサブブロックの面積を表示する欄、ULVは図5のウィンドで“USE Layout”を選択して既にレイアウトが行なわれファイル350に格納されている素子やサブブロックに関する面積のデータを利用して計算した場合の素子やサブブロックの面積を表示する欄である。なお、図6において、“E-03”は $\times 10^{-3}$ の意味、また“E-06”は $\times 10^{-6}$ の意味であり、単位は mm^2 である。

【0038】表示欄SBAはここをクリックすると、そのサブブロック内の各素子の面積の詳細が上記表示欄EALと同じように表示されるようになっている。このように、この実施例では、面積の計算結果が階層的に行なわれているため、限られた表示画面内に全体的な結果を表示させ、しかも必要に応じて詳細も表示させることができるので、設計者による設計中の回路の面積の見積もりとその評価が行ない易くなるという利点がある。

【0039】なお、上記のような表形式の計算結果の表示の代わりに、例えば図7に示すように、入力された素子やブロックの近傍にそれぞれの面積計算結果を表示させるとともに、画面の右上隅等にブロック全体の面積計算結果を表示させるようにしてもよい。また、このときそれまで設計された回路の面積の目標面積に対する割合を、例えば百分率や円グラフのような視覚的に分かり易い形式で表わすようにしても良い。

【0040】以上本発明者によってなされた発明を実施

例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば前記実施例のフローチャート(図4)では、回路設計終了後のステップS10で、設計した回路の面積が目標面積内に収まっているか否かの判定を行なうようにしているが、この判定は回路図の入力終了を待たずに、例えば1つの素子の入力がある度に自動的に行ない、算出された面積が目標面積をオーバーしたときは警告メッセージを表示するようにしてもよい。

【0041】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路の設計システムに適用した場合について説明したが、電子回路一般さらには建物や設備の設計などコンピュータを使用した設計システムに広く適用することができる。

【0042】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0043】すなわち、回路設計において、設計終了前に予め回路面積を計算しチップサイズが目標サイズをオーバーしないか評価することができ、それによって半導体集積回路の開発期間を短縮することができる。また、回路変更が困難な場合でも比較的容易に回路面積を縮小して回路面積が目標面積に収まるようにすることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の設計システムの構成例を示すシステム構成図。

【図2】回路を構成する素子の記号の例を示す説明図。

【図3】各素子別のレイアウトパターンと、各素子の外形寸法および面積S1の計算方式と、各素子の分離領域を考慮したときの外形寸法および面積S2の計算方式を示す模式図。

【図4】本発明を適用した場合の半導体集積回路の設計手順の概略を示すフローチャート。

【図5】表示画面上で面積計算の指令を与える場合の表示画面の一例を示す説明図。

【図6】面積計算結果を表示する表示画面の一例を示す説明図。

【図7】面積計算結果を表示する表示画面の他の例を示す説明図。

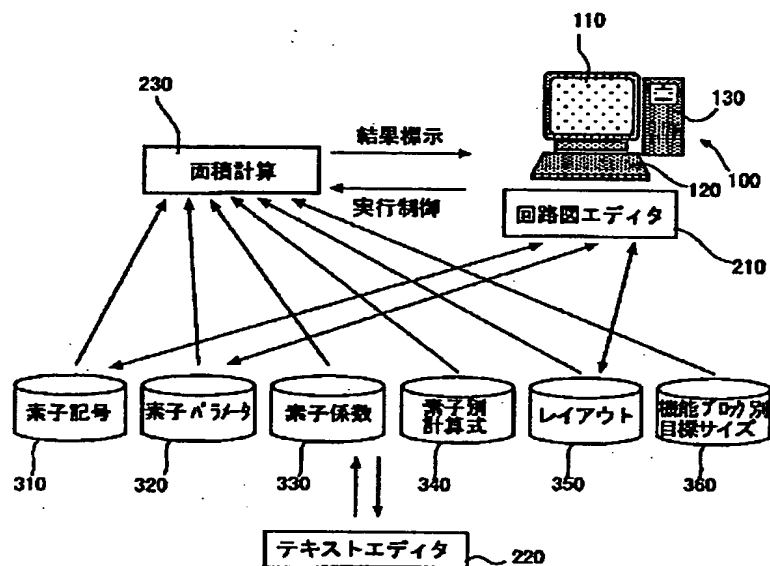
【符号の説明】

- 100 コンピュータシステム
- 110 ディスプレイ
- 120 キーボード
- 130 コンピュータ本体
- 310 素子記号ファイル
- 320 素子パラメータファイル

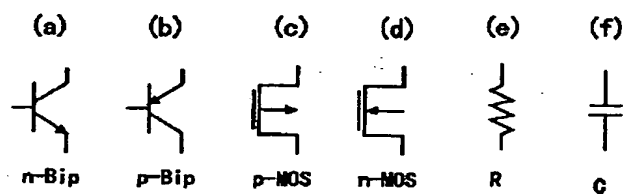
330 係数ファイル
340 計算式ファイル

350 レイアウト面積ファイル
360 目標サイズファイル

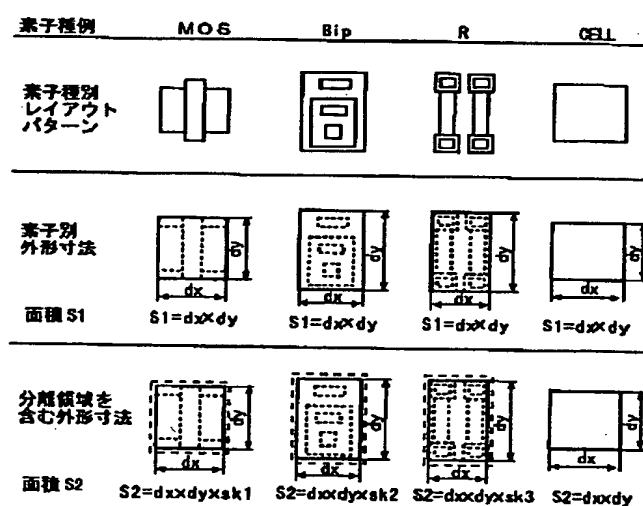
【図1】



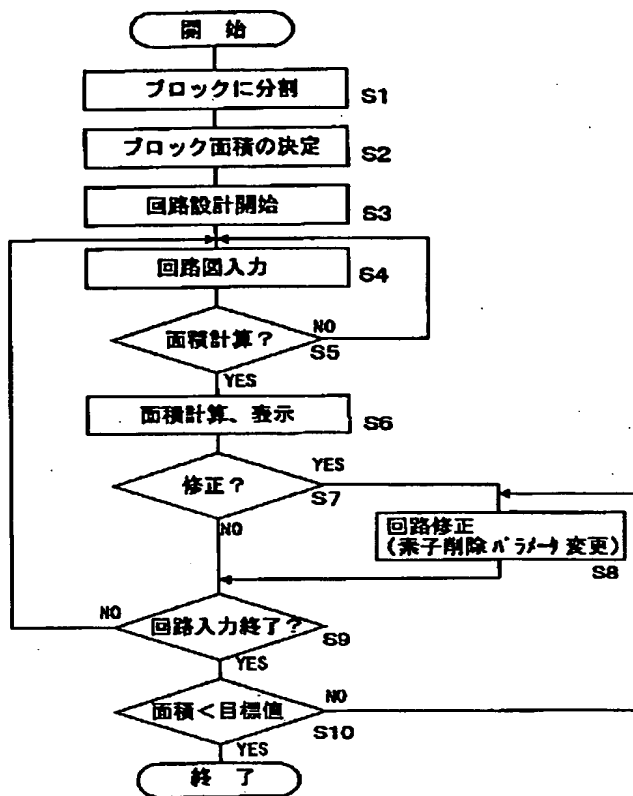
【図2】



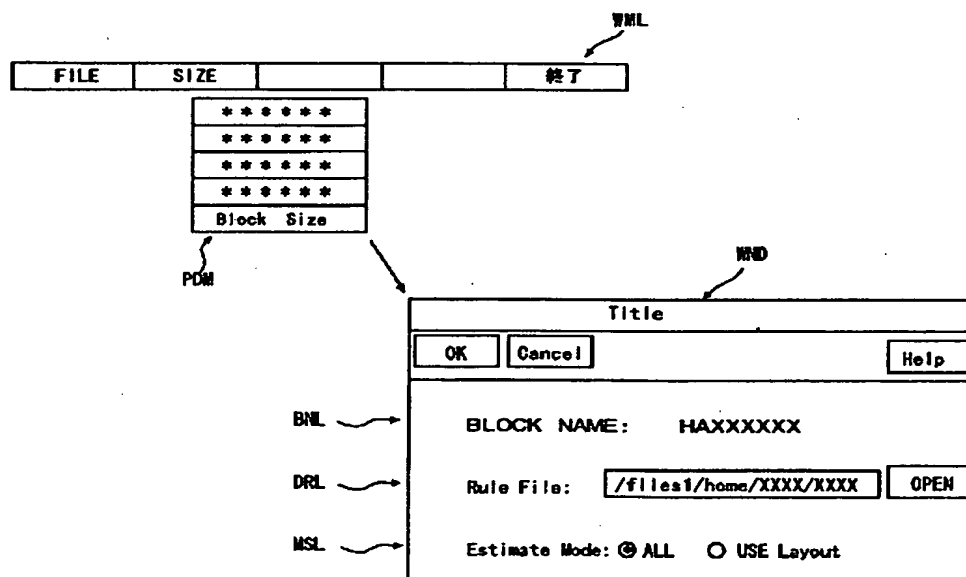
【図3】



【図4】



【図5】



【図6】

TLA	*****		

	****	TOTAL SIZE $\Sigma S1=10.00E-03$	
	****	$\Sigma S2=12.00E-03$	

		S1	S2
	R01	1.0E-08	1.3E-08
	R02	1.0E-08	1.3E-08
	C01	1.0E-08	1.2E-08
	C02	1.0E-08	1.2E-08
	.		
	.		
	.		
	PRIMITIVE CELL TOTAL $S1=3.00E-3$		
	$S2=4.00E-3$		

	XBLOCK1 2.00E-03		

	XBLOCK2 15.00E-04		

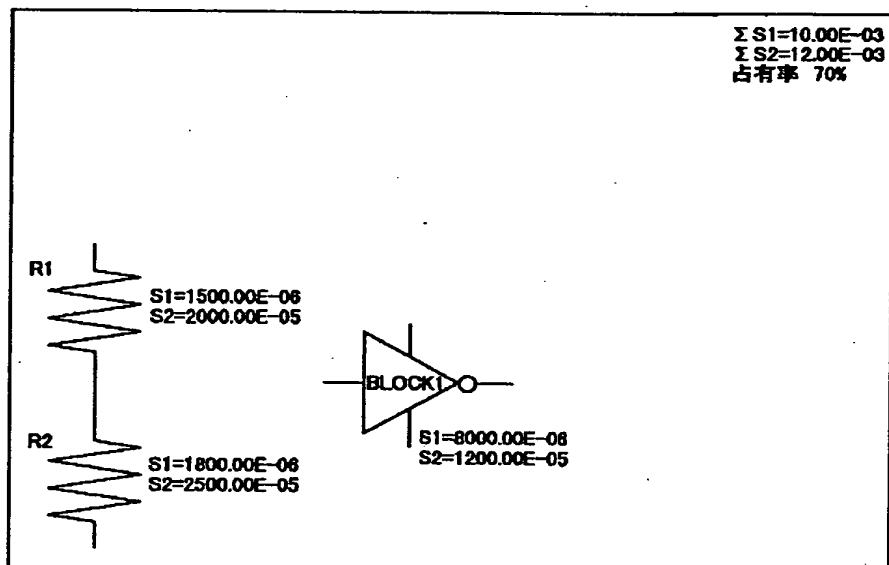
	.		
	.		
	.		
	.		

	**** Using Layout View Information		

	X4X13 HM1 20.00E-03		

	**** End of List		

【図7】



フロントページの続き

(72)発明者 新井 かおり
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 杉本 浩明
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内

(72)発明者 日野 哲朗
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 福田 雅則
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 5B046 AA08 BA03 GA01 JA02 KA06
5F064 DD04 HH05 HH10 HH12 HH15
HH17

